

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-015596

(43)Date of publication of application : 19.01.2001

(51)Int.Cl.

H01L 21/768
H01L 21/28
H01L 21/3065
H01L 21/31
H01L 29/78
H01L 21/336

(21)Application number : 11-185597

(71)Applicant : MATSUSHITA ELECTRONICS INDUSTRY
CORP

(22)Date of filing : 30.06.1999

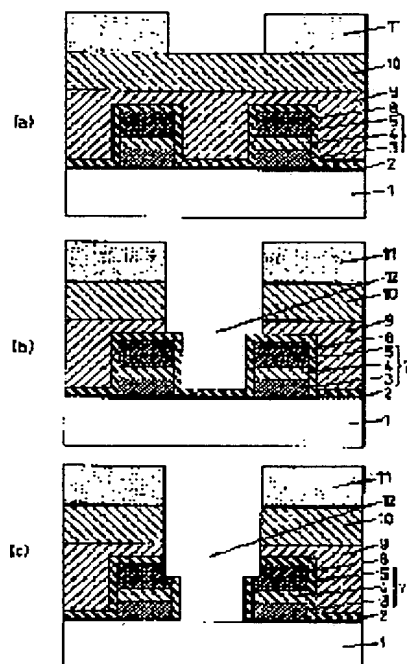
(72)Inventor : NISHIMURA HIROSHI
KANEKAE KENJI
TATEIWA KENJI

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To avoid increasing the contact resistance or growing open defects, and effectively prevent short circuit, due to downsizing of contact hole diameters.

SOLUTION: A manufacturing method comprises the steps of forming conductive films 3, 4 and a first insulating film 5 on a gate oxide film 2 after forming this film 2 on a substrate 1, forming a second insulating film 8 over the entire surface, after etching the first insulation film 5 and the conductive films 3, 4 to form gate electrodes 7, etching a third insulating film 9 with the second insulating film 8 used as an etching stopper to open contact holes 12 between the gate electrodes 7, after forming the third insulating film 9 on the second insulating film 8 by a deposition method while applying a voltage to the substrate 1, and etching the second insulating film 8 exposed at the bottoms of the contact holes 12 and the gate oxide film 2.



LEGAL STATUS

[Date of request for examination]

17.07.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3666560

[Date of registration]

15.04.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-15596
(P2001-15596A)

(43) 公開日 平成13年1月19日 (2001.1.19)

(51)Int.Cl. ⁷	識別記号	F I	テマコード ⁷ (参考)		
H 0 1 L	21/768	H 0 1 L	21/90	C	4 M 1 0 4
	21/28		21/28	M	5 F 0 0 4
	21/3065		21/31	C	5 F 0 3 3
	21/31		21/302	J	5 F 0 4 0
	29/78		29/78	3 0 1 P	5 F 0 4 5
審査請求 未請求 請求項の数 4 O L (全 9 頁) 最終頁に続く					

(21) 出願番号 特願平11-185597

(22) 出願日 平成11年6月30日 (1999. 6. 30)

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 西村 宏

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 鎌ヶ江 健司

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74) 代理人 100086737

弁理士 岡田 和秀

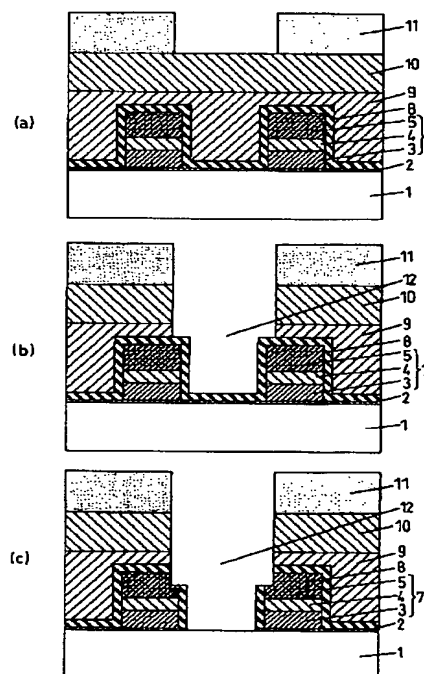
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】コンタクト抵抗の増大やオープン不良の発生を防止し得るとともに、コンタクトホール径の縮小化に伴う短絡が発生することを有効に防止できる半導体装置の製造方法を提供する。

【解決手段】本発明に係る製造方法は、基板1上にゲート酸化膜2を形成した後、ゲート酸化膜2上に導電膜3、4及び第1の絶縁膜5を形成する工程と、第1の絶縁膜5及び導電膜3、4をエッチングしてゲート電極7を形成した後、全面にわたる第2の絶縁膜8を形成する工程と、基板1に電圧を印加する堆積方法を採用して第2の絶縁膜8上に第3の絶縁膜9を形成した後、第2の絶縁膜8をエッチングストップとしながら第3の絶縁膜9をエッチングしてゲート電極7間にコンタクトホール12を開口する工程と、コンタクトホール12の底部に露出した第2の絶縁膜8とゲート酸化膜2とをエッチングする工程とを含んでいる。



【特許請求の範囲】

【請求項1】 半導体基板の表面上にゲート酸化膜を形成した後、ゲート酸化膜上に導電膜及び第1の絶縁膜を順次形成する工程と、第1の絶縁膜及び導電膜をエッチングしてゲート電極を形成した後、全面にわたる第2の絶縁膜を形成する工程と、半導体基板に電圧を印加する堆積方法を採用して第2の絶縁膜上に第3の絶縁膜を形成した後、第2の絶縁膜をエッチングストップとしながら第3の絶縁膜をエッチングしてゲート電極間にコンタクトホールを開口する工程と、コンタクトホールの底部に露出した第2の絶縁膜とゲート酸化膜とをエッチングする工程とを含んでいることを特徴とする半導体装置の製造方法。

【請求項2】 請求項1に記載した半導体装置の製造方法であって、第2の絶縁膜は窒化シリコン膜であり、第3の絶縁膜は酸化シリコン膜であることを特徴とする半導体装置の製造方法。

【請求項3】 請求項1または請求項2に記載した半導体装置の製造方法であって、第2の絶縁膜を形成した後は半導体基板に電圧を印加しない堆積方法を採用して第2の絶縁膜上に第4の絶縁膜を形成しており、第4の絶縁膜を形成した後は半導体基板に電圧を印加する堆積方法を採用して第4の絶縁膜上に第3の絶縁膜を形成していることを特徴とする半導体装置の製造方法。

【請求項4】 請求項1または請求項2に記載した半導体装置の製造方法であって、ゲート電極を形成した後はゲート酸化膜上の全面にわたる第5の絶縁膜を形成しており、第5の絶縁膜を形成した後は第5の絶縁膜上の全面にわたる第2の絶縁膜を形成していることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方法に係り、詳しくは、自己整合コンタクト構造を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】 半導体集積回路の微細化や高集積化を実現するために採用される構造の一つとして自己整合コンタクトといわれる構造があり、この構造であれば、トランジスタのゲートやコンタクトホールなどの設計寸法余裕を低減することが可能であるために半導体チップの縮小化に効果があり、また、コンタクトホール径を大きく設計し得る結果として低抵抗でばらつきの少ないコンタクト電極を実現できることが知られている。そこで、図7の工程断面図に基づき、自己整合コンタクト構造を有する半導体装置の製造方法を説明する。

【0003】 まず、図7(a)で示すように、半導体基

2

板51の表面を酸化することによって酸化シリコン膜52を形成し、かつ、ゲート電極53、つまり、多結晶シリコン膜54と、タングステンシリサイド膜55と、キャップ窒化シリコン膜56とが順次積層されてなるゲート電極53を酸化シリコン膜52上に形成した後、その全面にわたるライナー窒化シリコン膜57を形成する。そして、ボロンとリンとを含む酸化シリコン膜(BPSG膜)58を層間絶縁膜としてライナー窒化シリコン膜57上に形成し、かつ、化学機械的研磨法(CMP法)を採用してBPSG膜58の表面を平坦化した後、このBPSG膜58上にレジストパターン59を形成する。

【0004】 引き続き、レジストパターン59をマスクとしてBPSG膜58をドライエッチングし、図7

(b)で示すようなコンタクトホール60をゲート電極53同士間に開口する。なお、この際には、ライナー窒化シリコン膜57とキャップ窒化シリコン膜56とがエッチングされてタングステンシリサイド膜55が露出することを防止するため、BPSG膜58とライナー窒化シリコン膜57とのエッチング速度の比率が高くなる条件を採用し、ライナー窒化シリコン膜57をエッチングストップとすることが行われる。

【0005】 さらに、図7(c)で示すように、コンタクトホール60の底部に露出しているライナー窒化シリコン膜57と酸化シリコン膜52をエッチングして除去すると、自己整合コンタクト構造を有する半導体装置が得られる。なお、このような手順の製造方法は、例えば、ブイ・エル・エス・アイ・マルチレベル・インターコネクション・コンファレンス(VLSI Multilevel Interconnection Conference)(1996)の第407頁から第412頁にかけて記載されている。

【0006】 すなわち、この半導体装置であれば、コンタクトホール60がゲート電極53上に重なるようにして形成されているため、ゲート電極53とコンタクトホール60との設計寸法余裕を確保する必要がなくなり、チップ面積も小さくて済むことになる。また、コンタクトホール60の寸法を大きく設定し得るため、低抵抗でばらつきの少ないコンタクトを実現できるというという利点が確保される。

【0007】

【発明が解決しようとする課題】 しかしながら、前記従来の製造方法を採用して製造された半導体集積回路などの半導体装置では、コンタクト抵抗が増大したり、ゲート電極とコンタクトの短絡が発生したりするという不都合が生じるようになっていた。すなわち、まず、第1に、層間絶縁膜として用いられるBPSG膜58の段差被覆性が必ずしも良好ではないため、微細化が進んでゲート電極53間の寸法が小さくなると、ゲート電極53間に空洞が発生したことに伴うエッチング残渣が発生したり、エッチングが止まったりする結果、コンタクト抵抗が増大し、あるいは、コンタクトが電氣的にオープン

となってしまうという不都合である。

【0008】また、第2に、ライナー窒化シリコン膜57のエッチング時間が長くなると、ゲート電極53の端縁に位置しているライナー窒化シリコン膜57が肩落的に除去されてタングステンシリサイド膜15が露出するため、ゲート電極53とコンタクトとの短絡が発生するという不都合である。そして、これらの不都合が生じる原因としては以下のようなことが考えられるが、ここでは、図8で示す工程断面図に基づいて第1の不都合の発生原因を説明し、第2の不都合が発生する原因を図9の工程断面図に基づいて説明する。

【0009】まず、最初に、第1の不都合が発生する原因を図8に基づいて説明する。図8(a)で示すように、半導体基板51の表面上に酸化シリコン膜52を形成し、この酸化シリコン膜52上にゲート電極53を形成した後、ライナー窒化シリコン膜57を形成したうえでBPSG膜58を形成する。ところが、この際におけるゲート電極53間の寸法が小さいと、BPSG膜58の段差被覆性が良好ではないため、このBPSG膜58の内部に空隙61が発生することになり、空隙61が発生しているにも拘わらず、引き続いてBPSG膜58を平坦化したうえでレジストパターン59を形成することが行われる。

【0010】そこで、BPSG膜58をドライエッチングし、図8(b)で示すように、コンタクトホール60をゲート電極53間に開口すると、空隙61が存在していることに起因したエッチング残渣62が発生してしまう。なお、エッチングが完全に止まってしまうため、コンタクトホール60の底部全面にわたるエッチング残渣62が発生することもある。さらに、エッチング残渣62が発生していると、コンタクトホール60の底部に露出しているライナー窒化シリコン膜57と酸化シリコン膜52とをエッチングによって除去したにも拘わらず、図8(c)で示すように、ライナー窒化シリコン膜57のエッチング残渣63及び酸化シリコン膜52のエッチング残渣64が残存してしまう。そして、エッチング残渣63、64が残存している限りは、コンタクト面積が減少する結果としてコンタクト抵抗が増大し、また、コンタクトが電氣的にオープンとなることが避けられない。

【0011】引き続き、図9を参照しながら、第2の不都合が発生する原因を説明する。なお、理解しやすくするため、図9はゲート電極付近のみを拡大した図面となっている。すなわち、半導体集積回路の微細化が進んでコンタクトホール60の径が縮小化されてくると、いわゆるマイクロローディング効果によってコンタクトホール60の底部のエッチング速度が低下することとなり、エッチング時間を増やす必要が生じる。ところが、エッチング時間を増やすと、図9(a)で示すように、ライナー窒化シリコン膜57をエッチングストップとしたう

えでBPSG膜58をエッチングした後におけるライナー窒化シリコン膜57のエッチングに際し、図9(b)で示すように、ゲート電極53の端縁のライナー窒化シリコン膜57が肩落的に除去されてタングステンシリサイド膜55の側面がコンタクトホール60内に露出する結果、ゲート電極とコンタクトとが短絡することになってしまう。

【0012】本発明はこれらの不都合に鑑みて創案されたものであり、回路の微細化が進んでゲート電極間の寸法が小さくなったことに伴うコンタクト抵抗の増大やオープン不良の発生を防止し得るとともに、コンタクトホール径の縮小化に伴う短絡が発生することを有効に防止できる構成とされた半導体装置の製造方法を提供することを目的としている。

【0013】

【課題を解決するための手段】本発明に係る半導体装置の製造方法は、半導体基板の表面上にゲート酸化膜を形成した後、ゲート酸化膜上に導電膜及び第1の絶縁膜を順次形成する工程と、第1の絶縁膜及び導電膜をエッチングしてゲート電極を形成した後、全面にわたる第2の絶縁膜を形成する工程と、半導体基板に電圧を印加する堆積方法を採用して第2の絶縁膜上に第3の絶縁膜を形成した後、第2の絶縁膜をエッチングストップとしながら第3の絶縁膜をエッチングしてゲート電極間にコンタクトホールを開口する工程と、コンタクトホールの底部に露出した第2の絶縁膜とゲート酸化膜とをエッチングする工程とを含んでいることを特徴とする。

【0014】この製造方法によれば、半導体基板に電圧を印加する堆積方法、つまり、良好な段差被覆性が得られる堆積方法を採用したうえで第2の絶縁膜上に第3の絶縁膜を形成しているため、ゲート電極間の寸法が小さくても空洞が発生することは起こらず、空洞の存在に起因した第3の絶縁膜のエッチング残渣も発生しないことになる。そのため、コンタクト抵抗の増大やオープン不良の発生を容易に防止し得るという利点が確保される。

【0015】

【発明の実施の形態】本発明の請求項1に係る半導体装置の製造方法は、半導体基板の表面上にゲート酸化膜を形成した後、ゲート酸化膜上に導電膜及び第1の絶縁膜を順次形成する工程と、第1の絶縁膜及び導電膜をエッチングしてゲート電極を形成した後、全面にわたる第2の絶縁膜を形成する工程と、半導体基板に電圧を印加する堆積方法を採用して第2の絶縁膜上に第3の絶縁膜を形成した後、第2の絶縁膜をエッチングストップとしながら第3の絶縁膜をエッチングしてゲート電極間にコンタクトホールを開口する工程と、コンタクトホールの底部に露出した第2の絶縁膜とゲート酸化膜とをエッチングする工程とを含んでいることを特徴とする。この製造方法であれば、上記した通り、ゲート電極間の寸法が小さくてもゲート電極間に空洞が発生することは起こら

ず、空洞の存在に起因したエッチング残渣も発生しないため、コンタクト抵抗の増大やオープン不良の発生を防止することが可能になるという利点が見られる。

【0016】本発明の請求項2に係る半導体装置の製造方法は請求項1に記載した方法であって、第2の絶縁膜は窒化シリコン膜であり、第3の絶縁膜は酸化シリコン膜であることを特徴としている。すなわち、酸化シリコン膜のエッチング速度よりも窒化シリコン膜のエッチング速度を低くできるので、この製造方法であれば、酸化シリコン膜のエッチング時におけるエッチングストップとして窒化シリコン膜を用いることが可能となり、ゲート電極とコンタクトの電気的な短絡を防止し得るという利点が確保される。

【0017】本発明の請求項3に係る半導体装置の製造方法は請求項1または請求項2に記載した方法であり、第2の絶縁膜を形成した後は半導体基板に電圧を印加しない堆積方法を採用して第2の絶縁膜上に第4の絶縁膜を形成し、第4の絶縁膜を形成した後は半導体基板に電圧を印加する堆積方法を採用して第4の絶縁膜上に第3の絶縁膜を形成していることを特徴とする。なお、第4の絶縁膜は、具体的には酸化シリコン膜である。この製造方法であれば、半導体基板に電圧を印加しない堆積方法を採用したうえで第2の絶縁膜上に第4の絶縁膜を予め形成しているので、コンタクトホールを開口する際のエッチングによってゲート電極の端縁に位置する第2の絶縁膜が肩落ち的に除去されることは起こらず、ゲート電極の導電膜が露出することも起こらない。そのため、ゲート電極とコンタクトとの短絡は、有効に防止されていることとなる。

【0018】本発明の請求項4に係る半導体装置の製造方法は請求項1または請求項2に記載した方法であり、ゲート電極を形成した後はゲート酸化膜上の全面にわたる第5の絶縁膜を形成し、かつ、第5の絶縁膜を形成した後は第5の絶縁膜上の全面にわたる第2の絶縁膜を形成していることを特徴とする。なお、第5の絶縁膜も、具体的には酸化シリコン膜である。この製造方法によれば、コンタクトホール径の縮小化に伴ってエッチング時間が長くなり、コンタクトホールを開口する際のエッチングによってゲート電極の端縁に位置する第2の絶縁膜が肩落ち的に除去されても、第5の絶縁膜でもって覆われたゲート電極の導電膜が露出することは起こらないため、ゲート電極とコンタクトとの短絡が有効に防止されるという利点が確保される。

【0019】以下、本発明の実施の形態を図面に基づいて説明する。

【0020】図1及び図2の各々は本実施の形態に係る半導体装置の製造方法を示す工程断面図であり、図1は製造方法の前段工程を示す一方、図2は製造方法の後段工程を示している。また、図3は本実施の形態で採用される製造方法の課題を示す工程断面図、図4は課題を解

決する第1の手法に係る製造方法を示す工程断面図、図5はカバー酸化シリコン膜厚と窒化シリコン残膜厚との関係を示す説明図であり、図6は課題を解決する第2の手法に係る製造方法を示す工程断面図である。なお、理解しやすくするため、図3、図4、図6はゲート電極付近のみを拡大した図面となっている。

【0021】本実施の形態に係る半導体装置の製造方法では、図1(a)で示すように、半導体基板1の表面を酸化することによってゲート酸化膜である酸化シリコン膜2を形成し、かつ、多結晶シリコン膜3と、タングステンシリサイド膜4と、キャップ窒化シリコン膜5とを順次積層して形成した後、キャップ窒化シリコン膜5上にレジストパターン6を形成することが行われる。なお、ここではキャップ窒化シリコン膜5を使用しているが、キャップ窒化シリコン膜5に代えて酸化シリコン膜を用いることも可能である。

【0022】そして、図1(b)で示すように、レジストパターン6をマスクとしてキャップ窒化シリコン膜5をエッチングし、かつ、レジストパターン6を除去した後、図1(c)で示すように、キャップ窒化シリコン膜5をマスクとしたうえでタングステンシリサイド膜4及び多結晶シリコン膜3をエッチングすると、導電膜である多結晶シリコン膜3及びタングステンシリサイド膜4と、第1の絶縁膜であるキャップ窒化シリコン膜5とからなるゲート電極7が形成されたことになる。

【0023】つぎに、図2(a)で示すように、第2の絶縁膜であるライナー窒化シリコン膜8を全面にわたって形成した後、半導体基板1に電圧を印加しながら堆積する方法、例えば、高密度プラズマCVD法を採用したうえでライナー窒化シリコン膜8上に第3の絶縁膜である酸化シリコン膜9を形成する。なお、この際においては、半導体基板1に電圧を印加する堆積方法を採用しているので、ゲート電極7の端縁近くに位置する酸化シリコン膜9がスパッタエッチングされる結果として傾斜面ができるため、ゲート電極7間に空洞を発生させないままで酸化シリコン膜9を埋め込むことが可能となる。

【0024】そして、CMP法を採用して酸化シリコン膜9の表面を平坦化し、さらに、ボロンとリンを含む酸化シリコン膜(BPSG膜)10を層間絶縁膜として酸化シリコン膜9上に形成した後、BPSG膜10の表面上にレジストパターン11を形成する。引き続き、図2(b)で示すように、レジストパターン11をマスクとしてライナー窒化シリコン膜8が露出するまでBPSG膜10及び酸化シリコン膜9をドライエッチングし、ゲート電極7間にコンタクトホール12を開口させる。

【0025】すなわち、これらBPSG膜10及び酸化シリコン膜9をエッチングするに際しては、ライナー窒化シリコン膜8がエッチングストップとされている。なお、この際においては、酸化シリコン膜及び窒化シリコン膜のエッチング速度の選択比が高いエッチングガス、

例えば、炭素原子とフッ素原子とを含んだガスが用いられることになるが、エッチングストoppがライナー窒化シリコン膜8に限定されることはなく、酸化シリコン膜とのエッチング速度の選択比が高ければ、窒化シリコン膜以外のものを使用することも可能である。

【0026】さらに、引き続き、図2(c)で示すように、コンタクトホール12の底部に露出しているライナー窒化シリコン膜8と酸化シリコン膜2とをエッチングして除去すると、自己整合コンタクト構造を有する半導体装置が得られる。そして、本実施の形態に係る製造方法を採用している際には、半導体基板1に電圧を印加する堆積方法を採用したうえでライナー窒化シリコン膜8上に酸化シリコン膜9を形成しているの、酸化シリコン膜9の内部に空洞が発生することは起こらず、また、空隙の存在に起因したエッチング残渣も発生しないため、コンタクト抵抗が増大したり、オープン不良が発生したりすることは生じない。

【0027】ところで、半導体基板1に電圧を印加する堆積方法を採用したうえで酸化シリコン膜9を形成している際には、電圧を印加しない堆積方法に比べて下地段差を緩和する効果が高いため、CMP法を採用して平坦化された酸化シリコン膜9の膜厚ばらつきが低減されることにもなる。すなわち、本発明の発明者らが行った実験によれば、半導体基板1に電圧を印加しない堆積方法によって酸化シリコン膜9、例えば、BPSG膜を形成した際におけるCMP後の残膜厚、つまり、メモリセルアレイの中央付近における酸化シリコン膜9の残膜厚はメモリセルアレイの端縁付近に比べて90nm程度も厚くなっている。

【0028】これに対し、半導体基板1に電圧を印加する堆積方法、具体的には高密度プラズマCVD法によって酸化シリコン膜9を形成した場合のCMP後における酸化シリコン膜9の残膜厚は、中央付近の方が端縁付近よりも15nm程度厚いだけに過ぎないことが確認されている。そして、メモリセルアレイ内の残膜厚のばらつきが低減することに伴っては、膜厚ばらつきの少ない半導体集積回路を実現し得るのみならず、コンタクトホール12のアスペクト比、つまり、コンタクトホール径と深さとの比であるアスペクト比が低くなる結果、コンタクトホール12のエッチングが容易になるという利点も

【0029】しかしながら、高密度プラズマCVD法を採用したうえで酸化シリコン膜9を形成する際には、半導体基板1に電圧を印加してスパッタエッチングを実行しながらの堆積が行われるため、ゲート電極7の端縁に位置するライナー窒化シリコン膜8がエッチングされることになり、肩落ち的に除去されてしまうことが起こる。そして、ゲート電極7間の設計寸法が比較的大きければ、多少の肩落ちは問題ないのであるが、微細化が進んで設計寸法が小さくなると、コンタクトホール12の

アスペクト比が大きくなってエッチング速度が低下するため、エッチング時間を増やす必要があり、半導体基板1に向かって加速されたプラズマ中のイオンによってライナー窒化シリコン膜8がスパッタイオンエッチングされる結果、図3で示すようなライナー窒化シリコン膜8の肩落ちが発生してしまう。

【0030】そこで、ライナー窒化シリコン膜8の肩落ちを防止する必要がある、そのための第1の手法としては、半導体基板1に電圧を印加しない堆積方法、例えば、減圧CVD法を採用することによって第2の絶縁膜であるライナー窒化シリコン膜8上に第4の絶縁膜であるカバー酸化シリコン膜15を形成し、かつ、半導体基板1に電圧を印加する堆積方法を採用してカバー酸化シリコン膜15上に第3の絶縁膜である酸化シリコン膜9を形成する工程を追加的に含んでなる製造方法を採用することが考えられる。すなわち、この際においては、図4(a)で示すように、ライナー窒化シリコン膜8上の全面にわたるカバー酸化シリコン膜15を形成しておいたうえで、高密度プラズマCVD法を採用してカバー酸化シリコン膜15上に酸化シリコン膜9を形成することが行われる。そして、この製造方法であれば、カバー酸化シリコン膜15で被覆されているライナー窒化シリコン膜8がスパッタエッチングされないため、ライナー窒化シリコン膜8の肩落ちは発生しないこととなる。

【0031】ところで、本発明の発明者らがライナー窒化シリコン膜8の肩落ちに関する調査、つまり、カバー酸化シリコン膜厚と窒化シリコン残膜厚との関係を調査してみたところによれば、図5で示すような調査結果が得られている。なお、図5の説明図は、高密度プラズマCVD法を採用して酸化シリコン膜9を形成した後におけるライナー窒化シリコン膜8の残膜厚とカバー酸化シリコン膜15の膜厚との相互関係を示しており、図中のデータ(黒丸印)それぞれは半導体ウエハの面内における5点の平均値を表している。

【0032】この調査によれば、ライナー窒化シリコン膜8の堆積膜厚をともに約80nmとしたにも拘わらず、カバー酸化シリコン膜15の膜厚が0nm、つまり、カバー酸化シリコン膜15を形成していない場合におけるライナー窒化シリコン膜8の残膜厚は61nmであり、スパッタエッチングによって約20nmも肩落ちするのに対し、カバー酸化シリコン膜15の膜厚が20nmであればライナー窒化シリコン膜8の残膜厚は73nmとなる一方、カバー酸化シリコン膜15の膜厚が50nmであればライナー窒化シリコン膜8の残膜厚は78nmとなり、カバー酸化シリコン膜15の膜厚が50nmである際には完全に肩落ちが防止できていることが分かる。従って、カバー酸化シリコン膜15をライナー窒化シリコン膜8上に形成しておいた際には、カバー酸化シリコン膜15でもって被覆されたライナー窒化シリコン膜8がスパッタエッチングされず、ライナー窒化シ

リコン膜 8 の肩落ちが有効に防止されることが確認されたといえる。

【0033】さらにまた、上記した第 1 の手法はライナー窒化シリコン膜 8 の肩落ちを防止する製造方法であったが、ライナー窒化シリコン膜 8 の肩落ちが発生してもゲート電極 7 のタングステンシリサイド膜 4 がコンタクトホール 12 内に露出しない構造とするための第 2 の手法を採用することも考えられる。すなわち、この第 2 の手法は、図 6 で示すように、ゲート電極 7 を形成した後はゲート酸化膜である酸化シリコン膜 2 上の全面にわたる第 5 の絶縁膜である酸化シリコン膜 16 を形成し、かつ、酸化シリコン膜 16 を形成した後は第 2 の絶縁膜であるライナー窒化シリコン膜 8 を酸化シリコン膜 16 上の全面にわたって形成する工程を追加的に含んだ製造方法である。

【0034】そして、この製造方法を採用している場合には、ライナー窒化シリコン膜 8 の肩落ちが大きくなってもタングステンシリサイド膜 4 の側面が酸化シリコン膜 16 でもって被覆されたままであり、タングステンシリサイド膜 4 がコンタクトホール 12 内に露出することが起こらないため、ゲート電極 7 とコンタクトとの短絡も起こり得ないこととなる。なお、この第 2 の手法は、酸化シリコン膜に対してはサイドエッチが入りにくく、横方向にはエッチングしにくいという特性を利用したものであり、このような特性そのものについては一般的にも知られているところである。

【0035】

【発明の効果】以上説明したように、本発明に係る半導体装置の製造方法においては、半導体基板に電圧を印加する堆積方法、つまり、良好な段差被覆性が得られる堆積方法を採用したうえで第 2 の絶縁膜上に第 3 の絶縁膜を形成しているので、ゲート電極間の寸法が小さくてもゲート電極間に空洞が発生することは起こらず、空洞の存在に起因した第 3 の絶縁膜のエッチング残渣が発生することも起こらないことになる。そのため、エッチング残渣が発生していることに伴ってコンタクト抵抗が増大したり、オープン不良が発生したりすることはなくなり、コンタクト抵抗の増大やオープン不良の発生を容易に防止できるという優れた効果が得られる。

【0036】また、半導体基板に電圧を印加しない堆積方法を採用したうえで第 2 の絶縁膜上に第 4 の絶縁膜を形成しておいた際には、コンタクトホールを開口するエッチングによってゲート電極の端縁に位置する第 2 の絶縁膜が肩落ち的に除去されることが起こらず、ゲート電極の導電膜が露出することも起こらないため、コンタク

トホール径が縮小化されていてもゲート電極とコンタクトとの短絡が有効に防止されることとなる。さらに、ゲート酸化膜上の全面にわたる第 5 の絶縁膜を形成したうえで第 2 の絶縁膜を形成しておいた際には、コンタクトホール径の縮小化に伴ってエッチング時間が長くなり、コンタクトホールを開口するためのエッチングによって第 2 の絶縁膜が肩落ち的に除去された場合にも、第 5 の絶縁膜でもって覆われたゲート電極の導電膜が露出することは起こらないため、ゲート電極とコンタクトとの短絡が有効に防止されるという効果が得られる。

【図面の簡単な説明】

【図 1】実施の形態に係る半導体装置の製造方法における前段工程を示す工程断面図である。

【図 2】実施の形態に係る半導体装置の製造方法における後段工程を示す工程断面図である。

【図 3】本実施の形態で採用される製造方法の課題を示す工程断面図である。

【図 4】課題を解決する第 1 の手法に係る製造方法を示す工程断面図である。

【図 5】カバー酸化シリコン膜厚と窒化シリコン残膜厚との関係を示す説明図である。

【図 6】課題を解決する第 2 の手法に係る製造方法を示す工程断面図である。

【図 7】従来の形態に係る半導体装置の製造方法を示す工程断面図である。

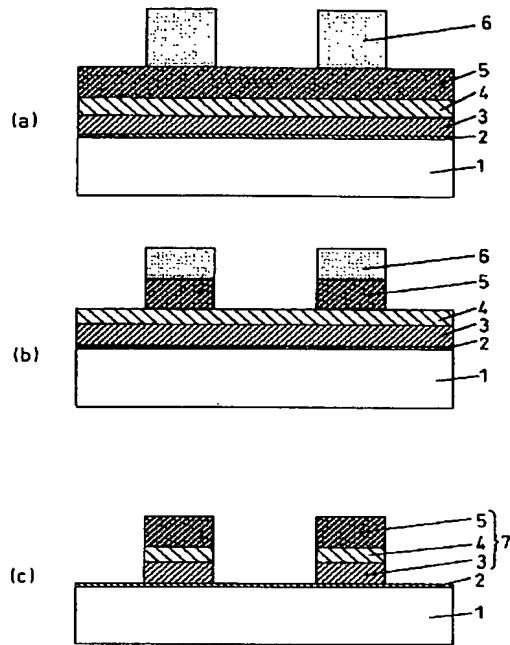
【図 8】従来の形態に係る半導体装置の第 1 の不都合が発生する原因を説明する工程断面図である。

【図 9】従来の形態に係る半導体装置の第 2 の不都合が発生する原因を説明する工程断面図である。

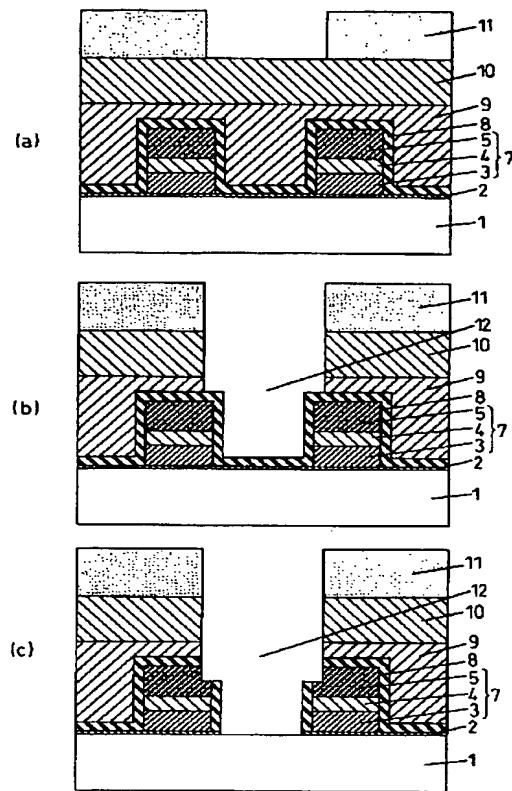
【符号の説明】

- 1 半導体基板
- 2 酸化シリコン膜（ゲート酸化膜）
- 3 多結晶シリコン膜（導電膜）
- 4 タングステンシリサイド膜（導電膜）
- 5 キャップ窒化シリコン膜（第 1 の絶縁膜）
- 6 レジストパターン
- 7 ゲート電極
- 8 ライナー窒化シリコン膜（第 2 の絶縁膜）
- 9 酸化シリコン膜（第 3 の絶縁膜）
- 10 BPSG 膜
- 11 レジストパターン
- 12 コンタクトホール
- 15 カバー酸化シリコン膜（第 4 の絶縁膜）
- 16 酸化シリコン膜（第 5 の絶縁膜）

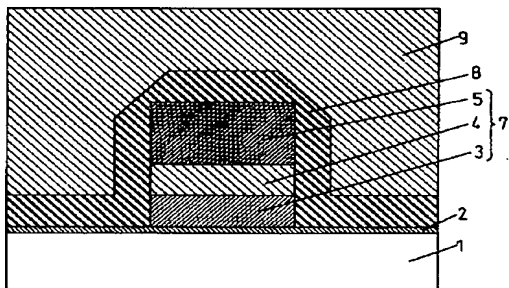
【図1】



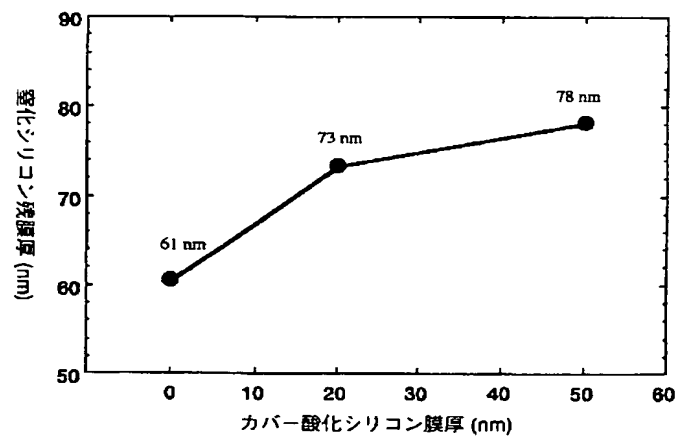
【図2】



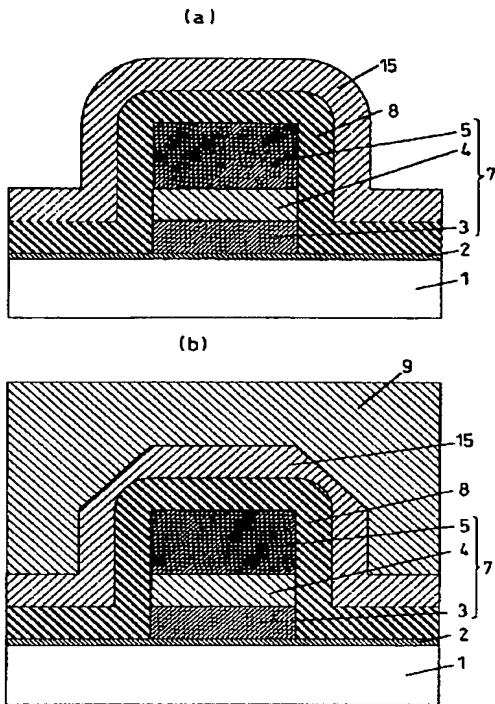
【図3】



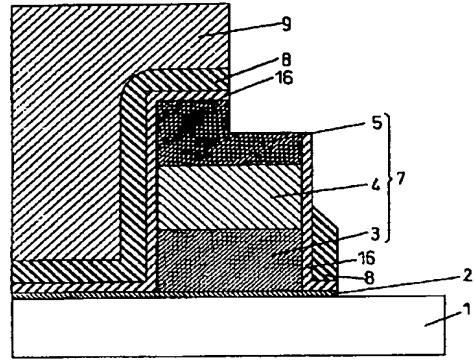
【図5】



【図4】

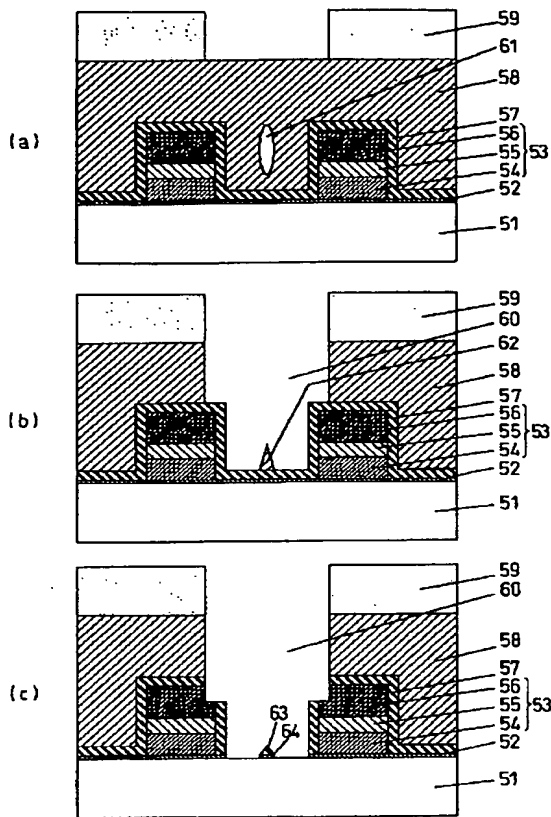


【図6】

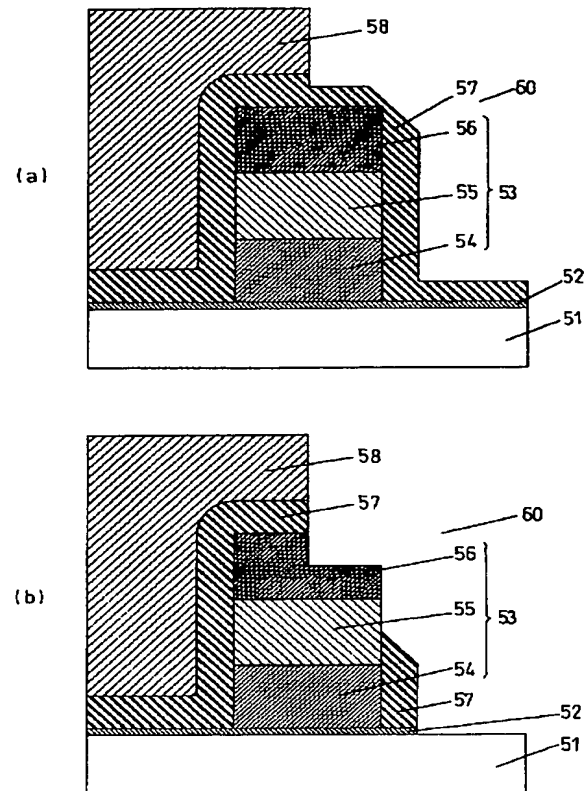


【図7】

【図8】



【図9】



フロントページの続き

(51) Int. Cl.⁷
H01L 21/336

識別記号

F I

ターム(参考)

(72) 発明者 立岩 健二
大阪府高槻市幸町1番1号 松下電子工業
株式会社内

F ターム(参考) 4M104 BB01 CC01 DD04 DD08 DD16
DD17 EE05 EE09 EE12 EE17
HH20
5F004 AA16 BA11 DA00 DA01 DB03
DB06 DB07 EA23 EA28 EB01
5F033 KK01 NN40 QQ09 QQ10 QQ11
QQ21 QQ25 QQ35 QQ37 QQ48
RR04 RR06 RR15 SS13 SS15
SS19 TT02 TT08 XX31
5F040 DC01 EC02 EC07 EC13 EF03
EF14
5F045 AA06 AA08 AB32 AB33 BB19
DC53 EH20 GH06 HA13